

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-152220

⑮ Int. Cl.⁴

H 03 K 19/00

識別記号

1 0 1

庁内整理番号

C-8326-5J

⑬ 公開

昭和63年(1988)6月24日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 レベル変換回路

⑰ 特 願 昭61-300764

⑱ 出 願 昭61(1986)12月16日

⑲ 発 明 者 中 嶋 健 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

レベル変換回路

2. 特許請求の範囲

第1の電源が供給され、信号を入力して、第1の電源電圧に基づいたレベルの信号を出力する第1のCMOSインバータと、

第1の電源が供給され、第1のCMOSインバータの出力信号を入力する第2のCMOSインバータと、

第2の電源が供給され、第1、第2のCMOSインバータの出力信号を切換信号として、第2の電源電圧に基づいたレベルの出力の論理レベルを切換えるフリップフロップとを有するレベル変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路の出力レベルの変換回路に関し、特に CMOS LSI 同志を接続する場合にそれぞれの電源系が異なるために生じる入力およ

び出力レベルの相違を同一化するためのレベル変換回路に関する。

〔従来の技術〕

従来、この種のレベル変換回路は、第3図(a)のように、ゲートが入力端子13に接続され、第1の電源11で駆動されるCMOSインバータ15と、ゲート、ソースがCMOSインバータ15の出力端、アースにそれぞれ接続され、ドレインがオープンドレインとして出力端子14に接続されたMOSトランジスタ16とで成る素子のオープンドレインを第3図(b)のように、プルアップ抵抗17で第2の電源12に吊って構成されていた。

〔発明が解決しようとする問題点〕

上述した従来のレベル変換回路は、出力がハイレベル、すなわちMOSトランジスタ6がオフの時は、MOSトランジスタ6には電流が流れていないので、MOSトランジスタ6とプルアップ抵抗7とによる電力消費は発生しないが、出力がロウレベル、すなわちMOSトランジスタ6がオンの際は、MOSトランジスタ6とプルアップ抵抗

7 には電流が流れるので、電力を消費するという欠点がある。

〔問題点を解決するための手段〕

本発明のレベル変換回路は、第 1 の電源が供給され、信号を入力して、第 1 の電源電圧に基づいたレベルの信号を出力する第 1 の CMOS インバータと、第 1 の電源が供給され、第 1 の CMOS インバータの出力信号を入力する第 2 の CMOS インバータと、第 2 の電源が供給され、第 1、第 2 の CMOS インバータの出力信号を切換信号として、第 2 の電源電圧に基づいたレベルの出力の論理レベルを切換えるフリップフロップとを有する。

〔作用〕

したがって、出力の論理レベルの変化は、第 2 の電源よりプルアップ抵抗に電流が流れるかどうかで設定されるのではなくフリップフロップの出力端が第 2 の電源に接続されるかどうかで設定されるため、従来のようなプルアップ抵抗に流れる電流による電力消費は発生しないこととなる。

MOS トランジスタ Q_{N2} と、ゲートが N 型 MOS トランジスタ Q_{N1} のドレインに、ドレインが N 型 MOS トランジスタ Q_{N2} のドレインに、ソースが電源端子 2 を介して第 2 の電源電圧 V_2 を供給される P 型 MOS トランジスタ Q_{P2} とで構成されている。MOS トランジスタ Q_{N1} 、 Q_{N2} 、 Q_{P1} 、 Q_{P2} はフリップフロップを構成している。

次に、本実施例の動作について説明する。

入力端子 3 より入力する入力信号が "H" レベルだと CMOS インバータ 6 の出力は "L" レベルとなり、これを入力したスイッチング用 CMOS インバータ 7 の出力は第 1 の電源電圧 V_1 に基づいた "H" レベルとなる。ゲートが "H" レベルとなった N 型 MOS トランジスタ Q_{N1} はオンし、ゲートが "L" レベルとなった N 型 MOS トランジスタ Q_{N2} はオフする。N 型 MOS トランジスタ Q_{N1} のドレインは "L" レベルとなるので、ゲートがこのドレインに接続された P 型 MOS トランジスタ Q_{P2} はオンとなる。したがって、非反転出力端子 4 には第 2 の電源電圧 V_2 より P 型 MOS ト

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第 1 図は本発明のレベル変換回路の一実施例を示す回路図である。

本実施例は、入力端が入力端子 3 に接続され、電源端子 1 より供給される第 1 の電源電圧 V_1 で駆動される CMOS インバータ 6 と、入力端が CMOS インバータ 6 の出力端に接続され、第 1 の電源電圧 V_1 で駆動されるスイッチング用 CMOS インバータ 7 と、ゲートがスイッチング用 CMOS インバータ 7 の出力端に、ソースがアースにドレインが反転出力端子 5 にそれぞれ接続された N 型 MOS トランジスタ Q_{N1} と、ドレインが N 型 MOS トランジスタ Q_{N1} のドレインに、ソースが電源端子 2 を介して第 2 の電源電圧 V_2 を供給される P 型 MOS トランジスタ Q_{P1} と、ゲートが CMOS インバータ 6 の出力端に、ソースがアースに、ドレインが P 型 MOS トランジスタ Q_{P1} のゲートと非反転出力端子 4 とにそれぞれ接続された N 型

ランジスタ Q_{P2} のドレイン・ソース間電圧を差引いた "H" レベルの電圧が出力される。ゲートがこの "H" レベルを入力する P 型 MOS トランジスタ Q_{P1} はオフとなり、反転出力端子 5 は "L" レベルとなる。

入力信号が "L" レベルになると、CMOS インバータ 6 の出力は "H" レベルとなり、これを入力したスイッチング用 CMOS インバータ 7 の出力は "L" レベルとなる。ゲートが "L" レベルとなった N 型 MOS トランジスタ Q_{N1} はオフし、ゲートが "H" レベルとなった N 型 MOS トランジスタ Q_{N2} はオンする。N 型 MOS トランジスタ Q_{N2} のドレインは "L" レベルとなるので、ゲートがこのドレインに接続された P 型 MOS トランジスタ Q_{P1} はオンとなる。したがって、反転出力端子 5 には第 2 の電源電圧 V_2 より P 型 MOS トランジスタ Q_{P1} のドレイン・ソース間電圧を差引いた "H" レベルの電圧が出力される。ゲートがこの "H" レベルを入力する P 型 MOS トランジスタ Q_{P2} はオフとなり非反転出力端子 4 は

“L”レベルとなる。

このように、入力信号を入力するCMOSインバータ6と、CMOSインバータ6の出力を入力するスイッチング用COMSインバータ7との出力をスイッチング信号として、N型MOSトランジスタ Q_{N1} , Q_{N2} 、P型MOSトランジスタ Q_{P1} , Q_{P2} で構成されるフリップフロップを駆動することにより第1の電源電圧 V_1 に基づく信号を第2の電源電圧 V_2 に基づく信号にレベル変換することができる。また、MOSトランジスタ Q_{N1} , Q_{P1} またはMOSトランジスタ Q_{N2} , Q_{P2} の組でいずれか1つのトランジスタは必ずオフであるので、第2の電源からアースに電流は流れない。

第2図は第1図で示されたレベル変換回路を実際に使用した半導体集積回路を示す構成図である。本半導体集積回路は、入力端が入力端子23に、電源供給端が回路用電源端子21にそれぞれ接続された内部回路8と、入力端子3が内部回路8の出力端に、電源端子1が回路用電源端子21に、電源端子2が出力用電源端子22にそれぞれ接続さ

りも充分小さくしなければならない。そこで、MOSトランジスタ Q_{N1} , Q_{N2} , Q_{P1} , Q_{P2} のチャンネル長、チャンネル幅、ゲート酸化膜厚は第1、第2の電源電圧 V_1 , V_2 に基づいて慎重に設計されている。

(発明の効果)

以上説明したように本発明は、入力信号を第1の電源電圧に基づいて駆動する第1、第2のCMOSインバータの出力をスイッチング信号として、そのスイッチング信号で第2の電源電圧を供給されているフリップフロップ回路を駆動し、第2の電源電圧に基づく出力を出力するので、出力の論理レベルの設定が第2の電源よりブルアップ抵抗に電流が流れるかどうかで設定されるのではなく、出力端がフリップフロップを通して第2の電源に接続されるかどうかで設定されることにより、出力による電力消費は極めて小さくなる効果がある。

4. 図面の簡単な説明

第1図は本発明のレベル変換回路の一実施例を

示したレベル変換回路と、入力端がレベル変換回路の反転出力端子5に、出力端が出力端子25にそれぞれ接続され、出力用電源端子22からの電源で駆動されるCMOSインバータ9とで構成されている。動作については、第1図の説明で十分であるので、特に必要な点のみにとどめる。

本半導体集積回路において、CMOSインバータ9は出力バッファとして働いている。回路用電源端子21、出力用電源端子22にはそれぞれ第1、第2の電源電圧 V_1 , V_2 が印加されている。

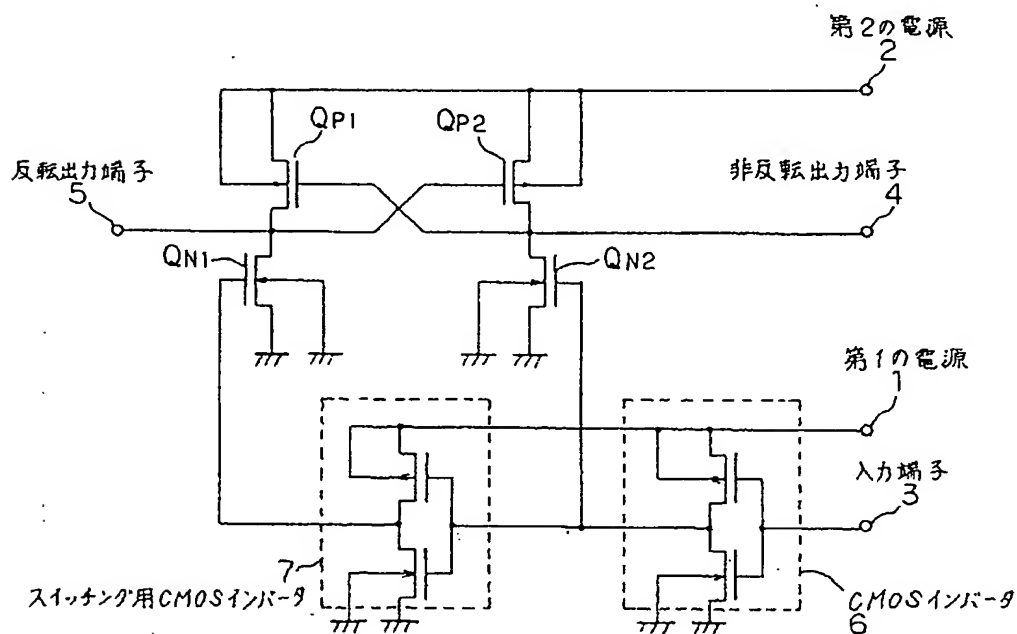
本半導体集積回路は消費電流を少なくするためCMOS構造としている。また、製造プロセスを簡単化するために、レベル変換回路、内部回路8、CMOSインバータ9を構成しているP型、N型MOSトランジスタはそれぞれ同じしきい値をとるように設計されている。さらに、MOSトランジスタ Q_{N1} , Q_{N2} , Q_{P1} , Q_{P2} によって構成されているフリップフロップが正しくレベル変換を行うためにはN型MOSトランジスタ Q_{N1} , Q_{N2} のオン抵抗がP型MOSトランジスタ Q_{P1} , Q_{P2} のオン抵抗よ

示す回路図、第2図は第1図で示されたレベル変換回路を実際に用いた半導体集積回路を示す構成図、第3図(a),(b)は従来レベル変換回路用素子、およびレベル変換回路である。

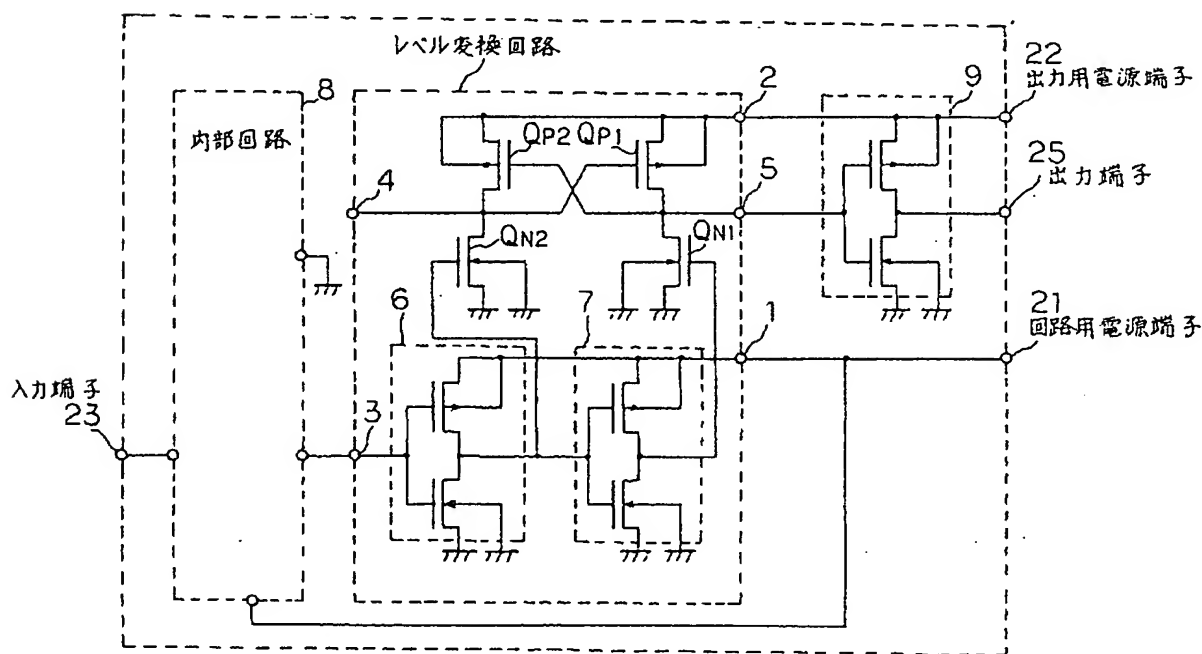
- 1, 2…電源端子、
- 3…入力端子、
- 4…非反転出力端子、
- 5…反転出力端子、
- 6…CMOSインバータ、
- 7…スイッチング用COMSインバータ、
- 8…内部回路、
- 9…CMOSインバータ、
- 21…回路用電源端子、
- 22…出力用電源端子、
- 23…入力端子、
- V_1 …第1の電源電圧、
- V_2 …第2の電源電圧。

特許出願人 日本電気株式会社
代理人 弁理士 内原 晋

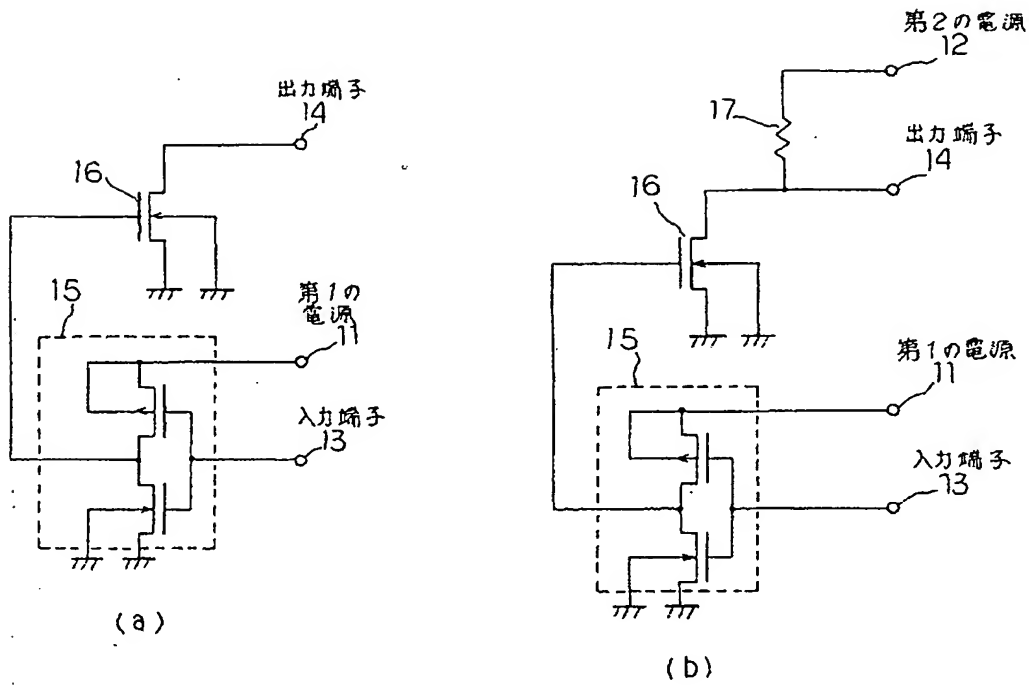




第1図



第2図



第3図